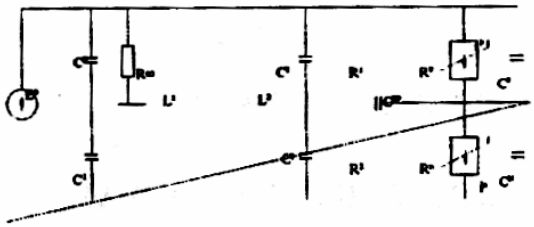
źródło-podłoże, źródło-dren, bramka-podłoże, bramka-dren itd.) o pojemnościach przeważnie nieliniowych lub quasiliniowych [1, 14, 15].

2. Modele obwodowe

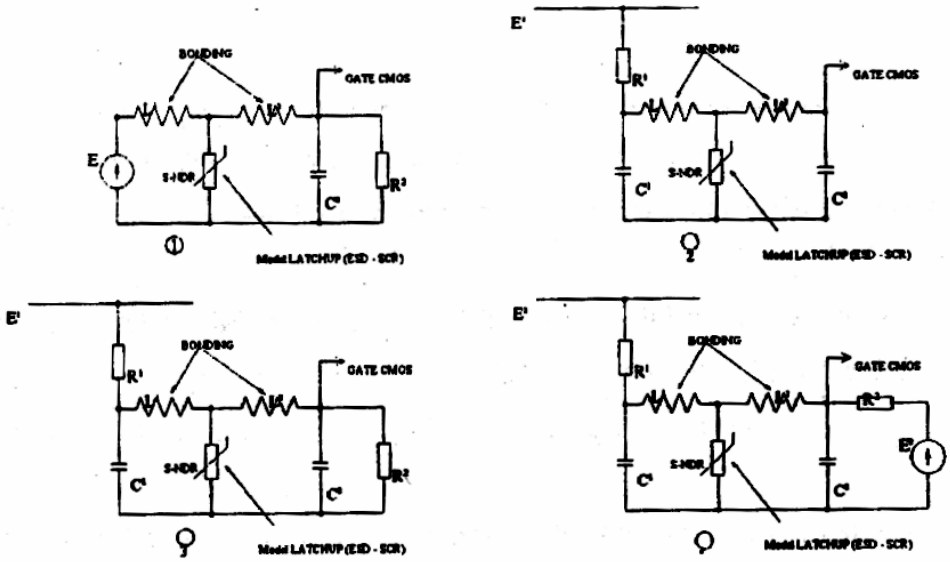
Do docelowej analizy matematycznej i symulacji komputerowej zaproponowano najprostszy model obwodowy układu czasowego LR∞ C – INWERTER CMOS według schematu na rys. 1.



Rząd układu 5
Przy Csp = 0 rząd układu 4 (blok wejściowy)
S-NDR: $V_{RN} = ai_{RN}^3 + bi_{RN}^2 + ci_{RN}$
$a>0$, $b<0$, $b^2-4ac<0$
C_R, C_1, C_3, C_2, Cp, Cn – kondensatory liniowe
R_∞, R_2, R_3, Rp, Rn – rezystory liniowe wysokoomowe rzędu MΩ

Rys. 1 Blok wejściowy INWERTERA XCMOS

W celu dalszego uproszczenia układu, przeprowadzenia badań modelowych i zbudowania równań stanu wytypowano 4 schematy,



Rys 2. Schematy bloków wejściowych Inwertera CMOS

które modelują bloki wejściowe inwertera. Każdy blok zawiera dwójnik (S-NDR) modelujący LATCHUP [8-11], którego rezystancja nieliniowa jest określona przez niemonotoniczną charakterystykę (V-I) i dana ogólnym wzorem:

$R_N : V(i) = ai^3 + bi^2 + ci, \quad a < 0, \quad b < 0, \quad b^2 - 4ac < 0$

3. Równanie stanu dla wybranego obwodu

Do analizy matematycznej wybrano schemat 3.

Na podstawie opisanych metod [16-20] otrzymamy następujące równanie stanu opisujące blok wejściowy CMOS;

$$C_1 \frac{dV_{C1}}{dt} = -\frac{1}{R_1} V_{C1} - i_{L1} + \frac{E_0}{R_1} \tag{1}$$

$$C_2 \frac{dV_{C2}}{dt} = -\frac{1}{R_2} V_{C2} + i_{L2} \tag{2}$$

$$L_1 \frac{di_{L1}}{dt} = Vc_1 - V_{RN}(i_{L1} - i_{L2}) \tag{3}$$

$$L_2 \frac{di_{L2}}{dt} = -Vc_2 + V_{RN}(i_{L1} - i_{L2}) \tag{4}$$

gdzie (V_{C1}, V_{C2}, i_{L1}, i_{L2}) to zmienne stanu, a $V_{RN}(i) = ai^3 + bi^2 + ci$ to funkcja opisująca dwójnik S-NDR.

4. Wstępna analiza matematyczna układu

Z analizy równania wynika [21-24], że układ jest dysypatywny i może posiadać 3 punkty stałe. Można także pokazać, że przechodząc ze stałymi obwodu do tzw. parametrów relaksacyjno-oscylacyjnych (τ, ω) układ generuje następujące równanie charakterystyczne:

$$\Lambda^4 + \Lambda^3[\tfrac{1}{\tau} - 2\gamma\tau\omega^2] + \Lambda^2[2\omega^2(1-\gamma)] + \Lambda[\tfrac{1}{\tau} - 2\gamma\tau\omega^2]\omega^2 + \omega^4(1-\gamma) = 0 ,$$

gdzie: $R_1C_1 = R_1C_2 = RC = \tau, \quad R_2 = \infty$,

$$\frac{1}{L_1C_1} = \frac{1}{L_2C_2} = \omega^2 ,$$

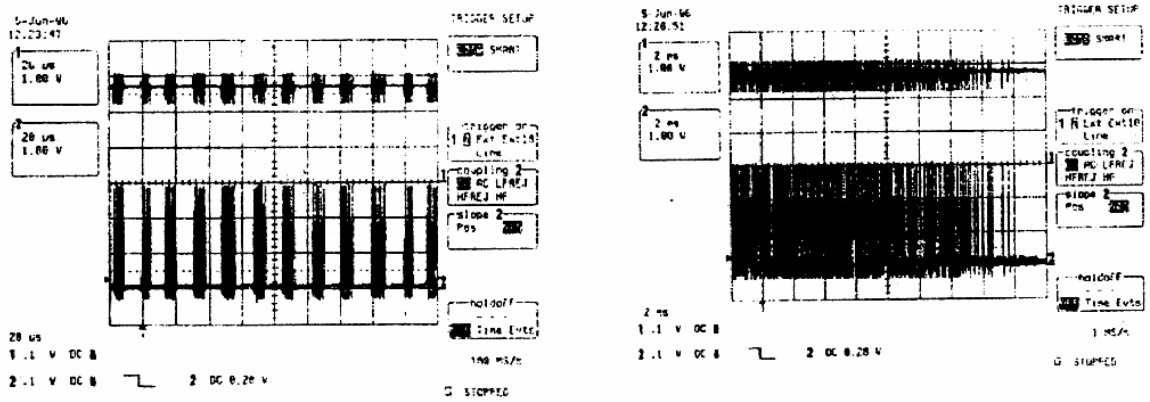
i γ jest współczynnikiem zależnym od punktu stałego.

5. Wnioski

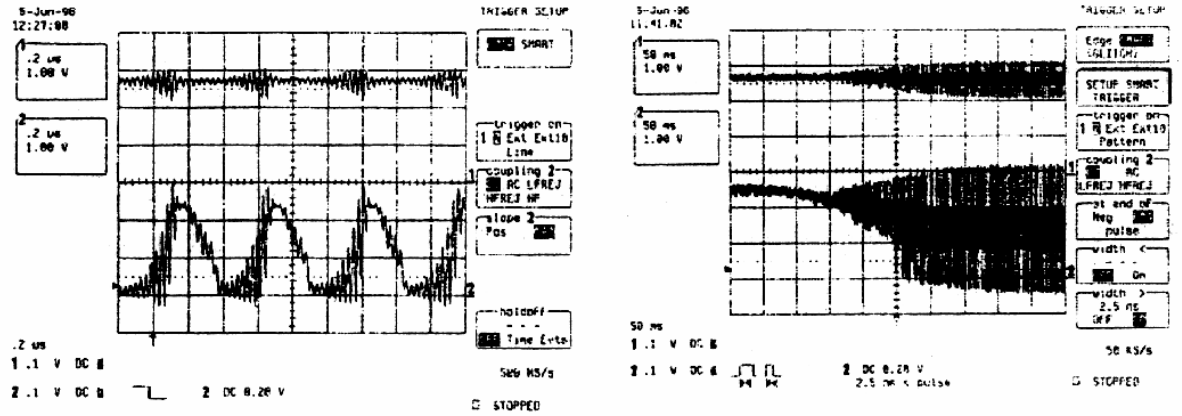
Proponując wyżej wymieniony model różniczkowy rozpatrywanego układu dynamicznego spodziewamy się:

- uzyskać potwierdzenie eksperymentalnych przebiegów czasowych z wyjścia (rys. 3 i 4) układu czasowego LR∞C-INWERTER CMOS (rys. 1),
- wyjaśnić przerwy (okna) pojawiające się w przebiegu drgań (rys. 3),
- dobrać odpowiednie parametry charakteryzujące układ w celu znalezienia cykli granicznych,
- znaleźć i opracować scenariusz dojścia układu do chaosu.

Układ jest w fazie szczegółowej analizy matematycznej i symulacji komputerowej.



Rys 3. Przebiegi oscyloskopowe drgań z wyjścia inwertera



Rys 4. Przebiegi oscyloskopowe drgań z wyjścia inwertera

6. Literatura

1. Marciniak W.: *Przyrządy półprzewodnikowe MOS*, WNT, Warszawa (1991).
2. Lakomy M., Zabrodzki J.: *Układy scalone CMOS*, PWN, Warszawa (1991).
3. TroutmaN R., Latchup in CMOS Technology.: *The problem and its cure*, Kluwer Academic Publishers, USA (1986).
4. Wakeman L., Latch-up problem in 54HC/74HC logic, National Semiconductor, Application note 339, 2-119.

5. Vinson J.E., Liou J.J.: *Electrostatic discharge in semiconductor devices: An overview.* Proceedings of the IEEE. vol. 86. No 2, February, 337-373, (1998).

6. Ming-Dou Ker, Chung-Yu Wu. Complementary – SCR ESD Protection circuit with interdigitated finger-type layout for input pads of submicron CMOS IS's. IEEE Transactions on Electron Devices, vol. 42, No 7, July 1995.

7. Sanjay Dabral, Timothy Maloney, *Basic ESD and I/O Design*, John Wiley & Sons, Inc. New York (1998).

8. Ljiljana Trajković, Alan N. Willson, JR.: *Complentary two-transistor circuits and negative differential resistance*, IEEE Transactions On Circuits An Systems, vol. 37. No 10, October, 1258-1265, (1990).

9. Deng A.C., Chua L.O.: *CMOS Latchup Theory*, International Journal of Circuit Theory and Application, Vol. 17, 397-408, (1989).

10. Leon O. Chua, Juebang Yu and Yovying Yu.: *Negative Resistance Devices,* Circuit Theory and Applications, Vol. 11, 161-186, (1983).

11. Leon O. Chua, and An-chang Deng.: *Negative Resistance Devices. Part II.* Circuit Theory and Applications, Vol. 12, 337-373, (1984).

12. Fikus R., Awrejcewicz J.: *Chaos in the R∞/c time system – MOS inverter. Experimental Investigations*, 4th Conference on Dynamical Systems – Theory and Applications. Poland, Łódź, 8-9 December 1997, 103-108.

13. Fikus R., CNPEP RADWAR S.A.: *Sposób i układ do sterowania układami elektronicznymi*, Patent nr 174198.

14. Porębski J., Korohoda P.: *Spice program analizy nieliniowej układów elektronicznych*, WNT, Warszawa (1992).

15. Patyra M.J.: *Projektowanie układów MOS w technice VLSI*, WNT, Warszawa (1993).

16. Chua L. O., Pen-Min Lin: *Komputerowa analiza układów elektronicznych*, WNT, Warszawa (1981).

17. Chua L. O., Desoer, Kuh: *Linear and nonlinear circuits*, Mc Graw-Hill, (1987).

18. Tadeusiewicz M.: *Teoria obwodów*, Cz.I, Łódź (1993).

19. Tadeusiewicz M.: *Metody komputerowej analizy staloprądowej nieliniowych układów elektronicznych*, WNT, (1991).

20. Osiowski J., Szabatin J.: *Podstawy teorii obwodów*, Tom III, WNT (1995).

21. Awrejcewicz J.: *Drgania deterministyczne układów dyskretnych*, WNT, Warszawa (1996).

22. Awrejcewicz J.: *Chaos i synchronizacja w układach fizycznych*, PŁ, Łódź (1995).

23. Awrejcewicz J.: *Tajemnice nieliniowej dynamiki*, PŁ, Łódź (1997).

24. M.A.van Wyk and W.-H. Steeb: *Chaos in Electronics. Mathematical modelling. Theory and applications*. Kluwer Academic Publishers, Dordrecht (1997).

CHAOS IN THE TIME SYSTEM LR∞C – INVERTER CMOS.

Summary

In this work the construction of the time system consisted of the R/C circuit – simple logical gate MOS (inverter) is presented. The obtained experimental results indicate an existence of the chaotic dynamics.

Prof. Jan Awrejcewicz
Politechnika Łódzka, Katedra Automatyki i Biomechaniki
ul. Stefanowskiego 1/15, 90-924 Łódź
e-mail: awrejcew@ck-sg.p.lodz.pl.

Mgr inż. Roman Fikus
CNPEP RADWAR S.A., Warszawskie Zakłady Radiowe – RAWAR
Zakład Techniczno Inwestycyjny
ul. Poligonowa 30, 04-051 Warszawa