

Instrukcja laboratoryjna: Badanie zjawiska odbicia styków oraz hazardu statycznego w układach kombinacyjnych

Katedra Automatyki, Biomechaniki i Mechatroniki
dr inż. Krystian Polczyński

17 kwietnia 2025

1 Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się ze zjawiskiem hazardu statycznego w prostych układach logicznych oraz obserwacja jego wpływu na stabilność wyjścia przy zmianach sygnałów wejściowych. Uczestnicy będą mieli możliwość zaobserwowania hazardu zarówno w układzie kombinacyjnym, jak i w układzie sekwencyjnym.

2 Wprowadzenie teoretyczne

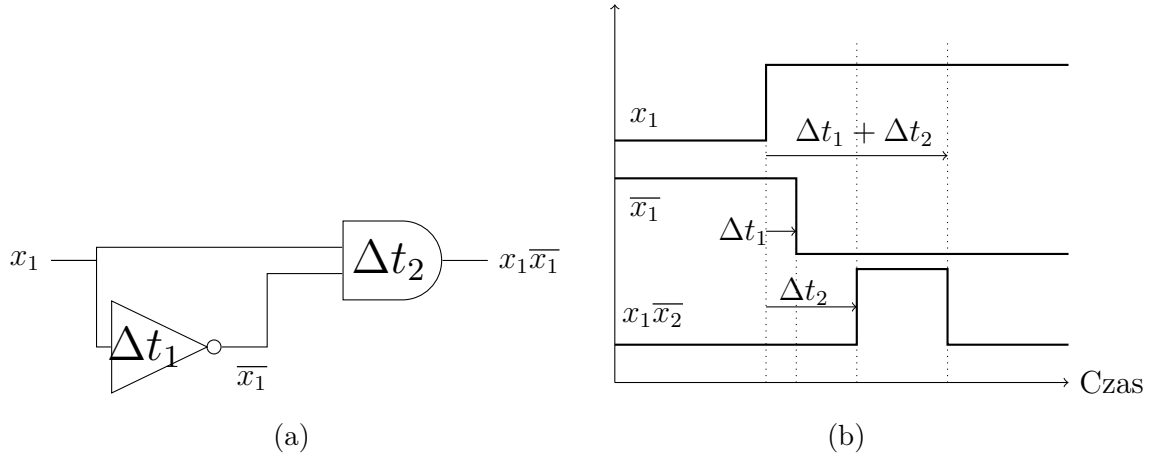
2.1 Hazard statyczny

Hazard statyczny to zjawisko występujące w cyfrowych układach logicznych, które powoduje chwilową zmianę stanu wyjściowego pomimo braku zmian na wejściu. Występuje głównie w sytuacjach, gdy różne ścieżki sygnałowe mają różne czasy propagacji. Hazard statyczny dzielimy na dwie kategorie:

- **Hazard statyczny typu 1** - chwilowa zmiana stanu wyjścia z 1 na 0 przy oczekiwanym stanie stabilnym 1.
- **Hazard statyczny typu 0** - chwilowa zmiana stanu wyjścia z 0 na 1 przy oczekiwanym stanie stabilnym 0.

Hazard dynamiczny to bardziej złożone zjawisko, polegające na wielokrotnej, oscylacyjnej zmianie stanu wyjściowego (np. $0 - 1 - 0 - 1$). Taki hazard występuje w sytuacji, gdy na skutek różnych czasów propagacji w ścieżkach sygnałowych pojawiają się wielokrotne impulsy na wyjściu. W praktyce eliminuje się hazard dynamiczny poprzez eliminację hazardu statycznego, ponieważ hazard dynamiczny jest konsekwencją obecności hazardu statycznego.

Jednym ze sposobów eliminacji hazardu statycznego jest wprowadzenie dodatkowych składników do funkcji logicznej zagrożonej wystąpieniem hazardu statycznego (dodanie redundancji logicznej). Dodanie dodatkowych składników w funkcji logicznej, podczas praktycznej realizacji będzie wiązało się z dodaniem dodatkowych bramek logicznych, co zwiększa złożoność układu, przez co ten nie jest maksymalnie zminimalizowany i może być trudniejszy w projektowaniu oraz analizie.



Rysunek 1: a) Układ kombinacyjny wykazujący hazard statyczny. Czasy Δt_1 i Δt_2 charakteryzują opóźnienia w działaniu bramek NOT i AND. b) Wykres czasowy przebiegów sygnałów wejściowych x_1 , $\overline{x_1}$ i wyjściowego $y = x_1 \overline{x_1}$.

Przykładowym układem kombinacyjnym, w którym występuje hazard statyczny jest prosty układ składający się z bramki NOT i AND realizujący funkcję $y = x_1 \overline{x_1}$, pokazany na rys. 1a. Jest to interesujący przypadek, ponieważ ta funkcja logiczna zawsze powinna wynosić $y = 0$. Wynika to z faktu, że $x_1 \overline{x_1}$ jest zawsze fałszywe, niezależnie od wartości x_1 . Jednakże, w praktyce, hazard statyczny może wystąpić w wyniku różnic w czasach propagacji sygnałów przez bramki logiczne, przez co funkcja y może przyjąć chwilową wartość równą 1, tak jak pokazano to na rys. 1b. Oto jak to może wyglądać:

- **Różne czasy propagacji:** Załóżmy, że sygnał x_1 zmienia się z 0 na 1. W idealnym przypadku, $\overline{x_1}$ powinno zmienić się z 1 na 0 w tym samym momencie. Jednakże, jeśli czas propagacji przez bramkę NOT jest dłuższy niż przez bramkę AND, może wystąpić chwilowy stan, w którym x_1 jest już 1, ale $\overline{x_1}$ jeszcze nie zmieniło się na 0. W takim przypadku, przez bardzo krótki czas, y może być 1, co jest nieoczekiwane.
- **Chwilowa zmiana stanu wyjścia:** W wyniku różnic w czasach propagacji, wyjście y może chwilowo zmienić się z 0 na 1, mimo że w stabilnym stanie powinno być zawsze 0. To jest przykład hazardu statycznego typu 0, gdzie wyjście chwilowo zmienia się na 1, mimo że powinno pozostać 0.

W układach kombinacyjnych zjawisko hazardu statycznego nie stanowi poważnego zagrożenia, ponieważ ostatecznie układ osiąga poprawny stan wyjściowy zgodny z realizowaną funkcją logiczną.

Hazard statyczny w układach sekwencyjnych jest szczególnie niebezpieczny, ponieważ może prowadzić do błędnych przejść stanów, które mogą zostać utrwalone przez linie sprzężenia zwrotnego. W przeciwieństwie do układów kombinacyjnych, gdzie ostatecznie uzyskujemy poprawny wynik, w układach sekwencyjnych chwilowe błędy mogą mieć trwałe konsekwencje. Przeanalizujmy przykład układu sekwencyjnego pokazanego na rys. 2a opisanego funkcją logiczną

$$y = (x_1 + x_2) \cdot (y + \overline{x_1}), \quad (1)$$

której tablica przejść zaprezentowana jest na rys. 2b.

Założmy, że układ znajduje się w stanie, gdzie na wejściach mamy $x_1 = 0$, $x_2 = 0$ i na wyjściu $y = 0$. Teraz nagle zmieniamy x_1 z 0 na 1 i przy założeniu, że bramki nie mają opóźnień mamy następującą sytuację:

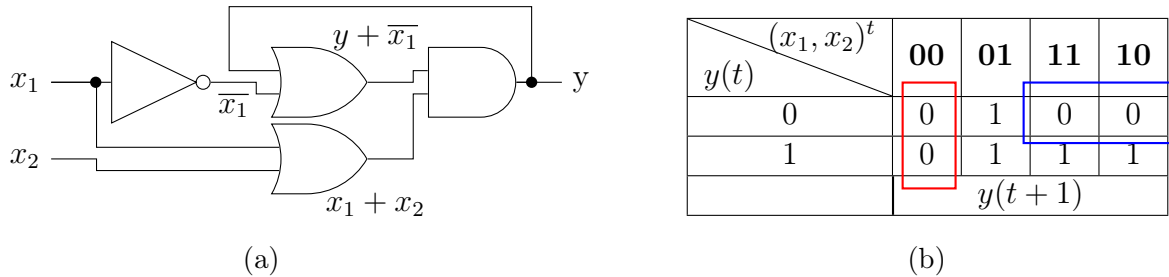
- **Stan początkowy:** $x_1 = 0$, $x_2 = 0$, $y = 0$

$$y = (0 + 0) \cdot (0 + \bar{0}) = 0 \cdot 1 = 0$$

- **Zmiana x_1 z 0 na 1:** $x_1 = 1$, $x_2 = 0$, $y = 0$

$$y = (1 + 0) \cdot (0 + \bar{1}) = 1 \cdot 0 = 0$$

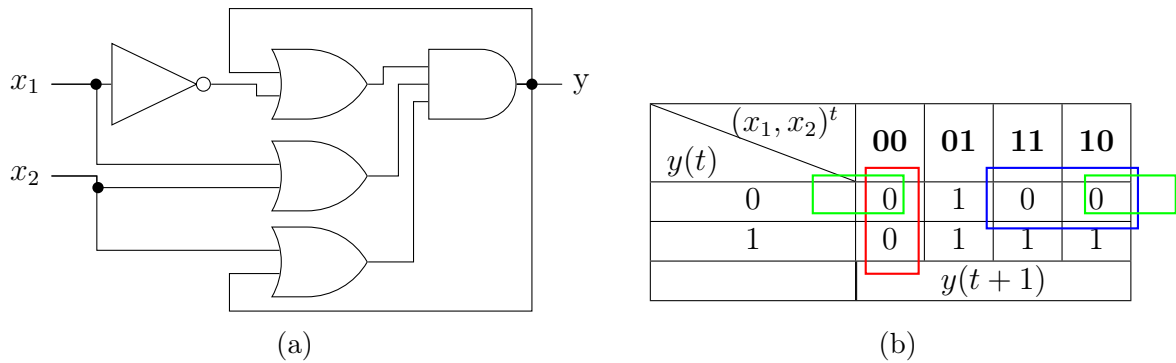
Jednakże w rzeczywistym układzie, ze względu na różnice w czasach propagacji sygnałów przez bramki logiczne, może wystąpić stan, w którym y zmieni się na 1. Założmy, że czas propagacji przez bramkę OR (dla $x_1 + x_2$) jest krótszy niż czas propagacji przez bramkę NOT (dla $\bar{x}_1$). Gdy x_1 zmienia się z 0 na 1, sygnał x_1 dociera do bramki OR szybciej niż sygnał $\bar{x}_1$ dociera do bramki AND. W momencie zmiany x_1 na 1, sygnał x_1 dociera do bramki OR, powodując, że wyjście bramki OR staje się 1. Sygnał $\bar{x}_1$ jeszcze nie dotarł do bramki AND, więc wyjście bramki AND chwilowo staje się 1 (ponieważ $y + \bar{x}_1$ jest chwilowo traktowane jako $y + 1$). W rezultacie wyjście y chwilowo zmienia się na 1! Ze względu na sprzężenie zwrotne, chwilowy stan $y = 1$ może zostać utrwalony, ponieważ y jest teraz częścią funkcji logicznej. Układ nie powróci więc do stabilnego stanu 0, zgodnego z tablicą przejść, prowadząc do niepoprawnego działania. Hazard statyczny w układach sekwencyjnych jest szczególnie niebezpieczny, ponieważ chwilowe błędy mogą zostać utrwalone przez linie sprzężenia zwrotnego, prowadząc do trwałych błędów w działaniu układu.



Rysunek 2: (a) Układ sekwencyjny opisany funkcją $y = (x_1 + x_2) \cdot (y + \bar{x}_1)$ i wykazujący hazard statyczny oraz (b) tablica przejść tego układu sekwencyjnego.

Zjawisko hazardu statycznego w analizowanym układzie sekwencyjnym można wyeliminować poprzez dodanie redundancji logicznej, która spowoduje niewrażliwość układu na czasy propagacji sygnałów. Zauważmy, że w tablicy Karnaugh (rys. 2b) zaznaczone przez nas obwiednie (czerwona i niebieska) stykają się ze sobą, a miejscem styku jest granica tablicy. Dwie obwiednie, które stykają się, ale się nie przecinają, reprezentują grupy komórek różniących się dokładnie jedną zmienną. Taki układ powoduje potencjalne ryzyko hazardu statycznego. To oznacza, że grupowanie kombinacji sygnałów w tablicy Karnaugh, tzn. przecinanie się sąsiadujących obwiedni, pomaga w eliminacji hazardu, ponieważ zapewnia, że wszystkie możliwe kombinacje sygnałów są uwzględnione, a różnice w czasach propagacji są minimalizowane. Uwzględniając dodatkową zieloną obwiednię na rys. 3b połączono dwie stykające się grupy zerowe. Funkcja logiczna opisująca analizowany układ przedstawia się teraz następująco

$$y = (x_1 + x_2) \cdot (y + \bar{x}_1) \cdot (y + x_2). \quad (2)$$



Rysunek 3: (a) Układ sekwencyjny opisany funkcją $y = (x_1 + x_2) \cdot (y + \overline{x_1}) \cdot (y + x_2)$ i wykazujący hazard statyczny oraz (b) tablica przejść z dodatkową obwiednią eliminującą hazard statyczny.

Łatwo zauważyć, że funkcja (2) różni się od pierwotnej funkcji (1) dodatkowym, ostatnim wyrażeniem, które eliminuje nam zjawisko hazardu statycznego. Rys. 3a przedstawia zmodyfikowany schemat logiczny oparty na funkcji (2).

W naszym przypadku, aby to zrobić możemy dodać dodatkowe bramki logiczne, które zapewnią, że sygnały x_1 i $\overline{x_1}$ będą miały zbliżone czasy propagacji. Na przykład, możemy dodać dodatkową bramkę AND, która będzie działać jako bufor dla sygnału x_1 , zanim dotrze do bramki OR. W ten sposób, sygnał x_1 i $\overline{x_1}$ będą miały zbliżone czasy propagacji, co eliminuje chwilowe błędy.

Dzięki dodaniu redundancji logicznej, układ sekwencyjny będzie działał poprawnie, bez ryzyka wystąpienia hazardu statycznego. Ostatecznie, wyjście y będzie stabilne i zgodne z oczekiwanym wynikiem, niezależnie od różnic w czasach propagacji sygnałów.

2.2 Odbicie styków mikroprzełączników

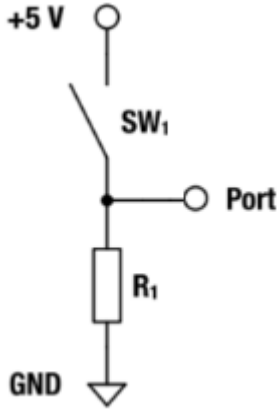
Odbicie styków (ang. *switch bouncing*) jest zjawiskiem występującym w mechanicznych przełącznikach elektrycznych. Polega ono na wielokrotnym, zamykaniu i otwieraniu styku podczas pojedynczego przełączania, zanim osiągnie on stabilny stan. Zjawisko to jest wynikiem uginania się belki stykowej wewnątrz przełącznika podczas jego włączania/wyłączania. Pod wpływem ugięć i sprężystości materiału belki stykowej pojawiają się drgania, których okres jest ważnym parametrem potrzebnym w procesie eliminacji tego zjawiska.

W prostych schematach elektrycznych z przełącznikiem (rys. 4a) odbicie styku prowadzi do generowania krótkotrwałych impulsów napięcia (rys. 4b), które mogą być interpretowane przez układy cyfrowe jako wiele przełączeń zamiast pojedynczego. Typowy czas trwania odbicia wynosi od kilku do kilkudziesięciu milisekund, co jest wystarczające, aby spowodować błędne działanie systemów cyfrowych.

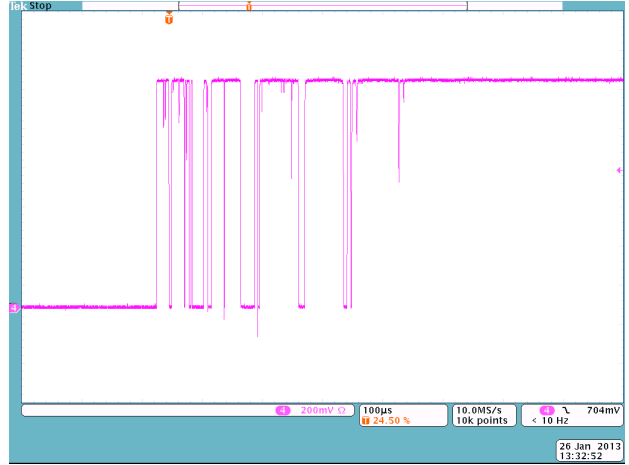
Aby zminimalizować wpływ odbicia styków, stosuje się różne techniki filtracji sygnału:

- **Filtracja sprzętowa (hardware)** – wykorzystanie układów RC lub przerzutników Schmitta do tłumienia oscylacji sygnału,
- **Filtracja programowa (software)** – stosowanie opóźnień czasowych lub algorytmów wykrywających stabilny poziom logiczny po określonym czasie.

W ćwiczeniu zajmiemy się filtracją sprzętową zjawiska odbicia styków. Do usunięcia niepożądanych zakłóceń sygnału wyjściowego wykorzystamy powszechnie dostępne elementy pasywne, takie jak kondensator i rezystor budując z nich filtr dolnoprzepustowy.



(a)



(b)

Rysunek 4: (a) Schemat elektryczny bez kompensacji zjawiska odbicia styków na wyjściu *PORT*. (b) Przebieg napięcia na wyjściu *PORT* przedstawiający zjawisko odbicia styku przełącznika.

Najprostszym i najtańszym sposobem na wykonanie filtra dolnoprzepustowego jest zastosowanie prostego układu RC przedstawionego na rys. 3a. Układ składa się z przełącznika SW_1 , rezystorów R_1 i R_2 , oraz kondensatora C_1 . Gdy przełącznik SW_1 zostaje zamknięty, kondensator C_1 ładuje się przez rezystor R_2 powodując wolniejsze narastanie napięcia na wyjściu. Natomiast, gdy przełącznik zostaje otwarty, kondensator C_1 rozładowuje się przez rezystory R_1 i R_2 w kontrolowanym tempie, eliminując tym samym zakłócenia wynikające z odbicia styków. Właściwy dobór elementów filtru RC sprawia, że drgania styków zostają wytłumione podczas ładowania i rozładowania kondensatora, co zapewnia "gładki" sygnał wyjściowy. Aby obliczyć jakie powinny być wartości kondensatora i rezystorów dla załączania i rozłączania SW_1 , można skorzystać z poniższych wzorów na stałe czasowe:

- dla narastającego sygnału, czyli po załączeniu SW_1

$$\tau_{ON} = C_1 \cdot R_2, \quad (3)$$

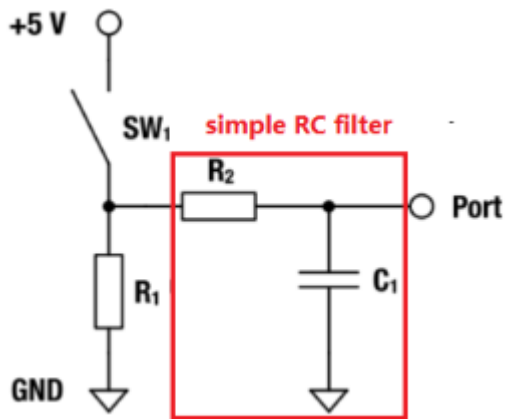
- dla opadającego sygnału, czyli po wyłączeniu SW_1

$$\tau_{OFF} = C_1 \cdot (R_1 + R_2), \quad (4)$$

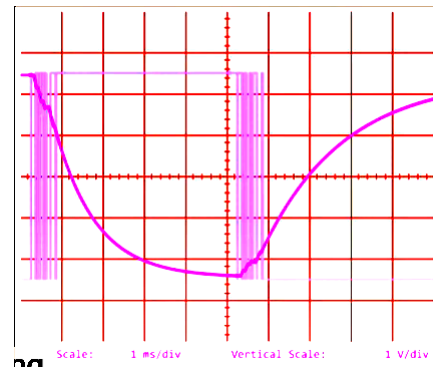
Stałe czasowe τ mają jednostkę czasu [s], a ich wartości są kompromisem między koniecznością eliminacji odbicia styków a wymaganą szybkością reakcji układu. W czasie jednej stałej czasowej napięcie wzrasta do 63% swojej wartości końcowej.

Załóżmy, że czas trwania odbicia styków przy załączaniu trwa 10 ms, korzystając ze wzoru (3) obliczmy minimalną wartość rezystora R_2 eliminującą zjawisko odbicia styków, mając daną wartość kondensatora $C_1 = 1\mu F$:

$$R_2 = \frac{\tau_{ON}}{C_1} = \frac{10 \cdot 10^{-3}}{1 \cdot 10^{-6}} = 1000\Omega \quad (5)$$



(a)



(b)

Rysunek 5: (a) Schemat elektryczny z filtrem dolnoprzepustowym eliminujący zjawiska odbicia styków na wyjściu *PORT*. (b) Przebieg opadającego i narastającego odfiltrowanego napięcia na wyjściu *PORT*.

3 Przebieg ćwiczenia

3.1 Badanie zjawiska odbicia styków oraz jego eliminacja

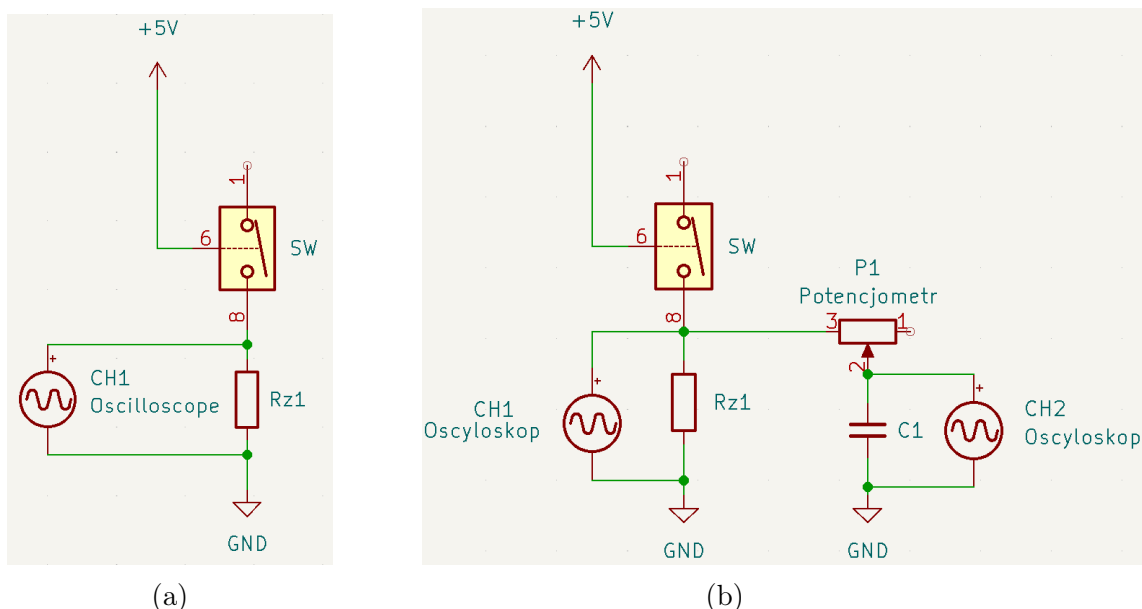
Do zbadania zjawiska odbicia styków będziemy potrzebować przełącznik mechaniczny w postaci wyłącznika krańcowego z rolką *SW*, rezystor *Rz1*, zasilacz laboratoryjny i oscyloskop. Schemat elektryczny połączeń pokazano na rys. 6a. Przyłącze (COM) przełącznika podłączamy do +5V zasilacza, natomiast przyłącze normalnie otwarte (NO) łączymy z nóżką rezystora wykorzystując płytkę stykową. Drugą nóżkę rezystora łączymy z ujemnym biegunem zasilacza. Zerową sondę oscyloskopu (krokodylek) podłączamy do nóżki rezystora podłączonej do ujemnego bieguna zasilacza, natomiast drugą nóżkę podłączamy do sondy aktywnej (z haczykiem). Przy pomocy kanału pierwszego (CH1) oscyloskopu rejestrujemy zmiany napięcia podczas załączania przełącznika. Ozywając kursorów należy zmierzyć czas τ trwania zjawiska odbicia styków, tj, czas od pierwszego odbicia aż do momentu ustania drgań styku.

Następny etap będzie polegał na eliminacji zjawiska odbicia styków, w tym celu należy rozbudować układ o potencjometr *P1* i kondensator *C1*, tak jak pokazano to na rys. 6b. Drugą sondę należy podłączyć do kanału CH2 oscyloskopu w celu pomiaru odfiltrowanego napięcia na kondensatorze *C1*. Znając wartość pojemności kondensatora $C1 = 100 \text{ nF}$ oraz czas τ drgania styku przełącznika, korzystając ze wzoru (3) należy obliczyć przybliżoną wartość rezystancji potencjometru *P1* potrzebną do skutecznego odfiltrowania sygnału napięcia przełącznika. Następnie wartość tej rezystancji należy ustawić na potencjometrze i zarejestrować sygnał odfiltrowany i nieodfiltrowany napięcia wyjściowego podczas załączania przełącznika.

W raporcie do tego ćwiczenia powinny znaleźć się:

1. Krótki opis zjawiska odbicia styków przełączników mechanicznych
2. Lista elementów użytych podczas ćwiczenia i ich wartości
3. Zrzuty ekranu z oscyloskopu przedstawiające zjawisko odbicia styków wraz ze zmierzonym czasem ich trwania

4. Obliczenia rezystancji potencjometru $P1$
5. Zdjęcie zbudowanego układu elektrycznego
6. Zrzut ekranu z oscyloskopu przedstawiający odfiltrowane napięcie wyjściowe w zestawieniu z nieodfiltrowanym

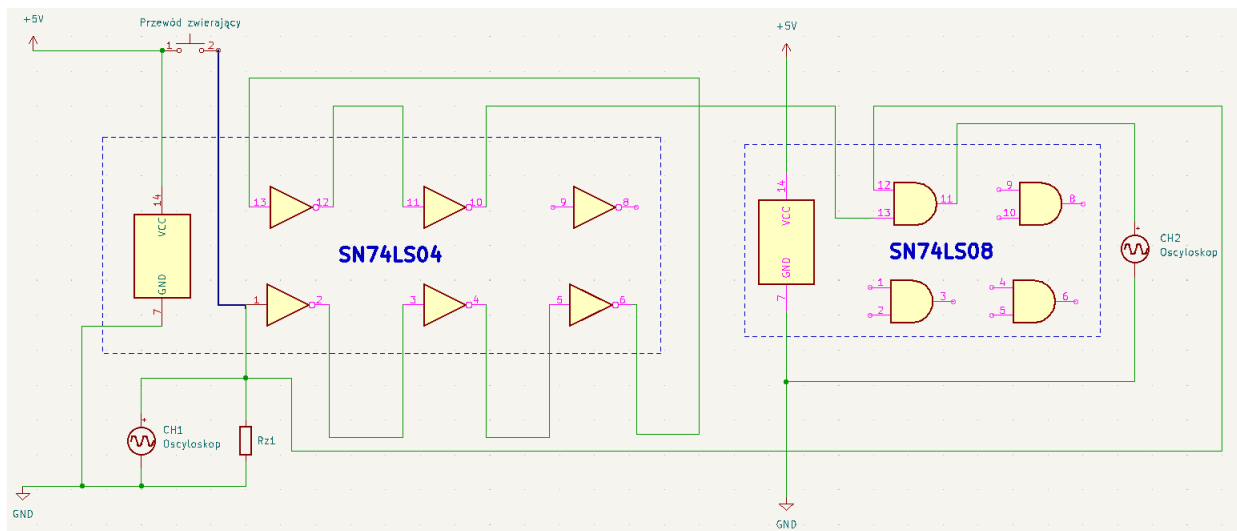


Rysunek 6: Schemat elektryczny układu do badania zjawiska odbicia styków przełącznika mechanicznego (a) oraz schemat z filtrem dolnoprzepustowym eliminującym to zjawisko (b).

3.2 Badanie zjawiska hazardu statycznego w logicznym układzie kombinacyjnym

Do zbadania zjawiska hazardu statycznego będziemy potrzebować jednego układu scalonego SN74LS08 zawierającego 4 dwuwejściowe bramki AND oraz układu SN74LS04 zawierającego 4 bramki negujące NOT. Dodatkowo będziemy potrzebować zasilacza laboratoryjnego, oscyloskopu oraz jednego rezystora podciągającego, żeby domyślnie zwierać wejście naszego układu z masą (zerem logicznym). Na płytce stykowej zbudujemy układ logiczny pokazany na rys. 1a, jednakże aby zaobserwować wspomniane zjawisko będziemy musieli wprowadzić pewną modyfikację. Mianowicie, na schemacie na rys. 1a zastosowana jest tylko jedna bramka NOT, której to opóźnienie w działaniu będzie powodować powstanie zjawiska hazardu statycznego. Jednak w rzeczywistości, pojedyncza bramka NOT ma opóźnienie na poziomie ok. 15 ns, co niestety jest zbyt krótkim odcinkiem czasu, aby móc to zarejestrować na typowym oscyloskopie. Dlatego zamiast jednej bramki NOT, w analizowanym układzie połączymy w szereg 5 bramek NOT, tak jak to pokazano na schemacie na rys. 7.

Wejście pierwszej bramki NOT jest połączone z masą układu poprzez rezystor. Symbol przełącznika ma tutaj za zadanie reprezentować zwykły przewód, którym na wejście pierwszej bramki NOT będziemy dostarczać napięcie +5V (stan wysoki) z linii zasilającej



Rysunek 7: Schemat elektryczny układu kombinacyjnego charakteryzującego się hazardem statycznym typu 0.

płytki stykowej. W chwili dostarczenia zasilania, na kanale CH2 oscyloskopu zarejestrujemy chwilową zmianę stanu wyjściowego z 0-1.

W raporcie do tego ćwiczenia powinny znaleźć się:

1. Krótki opis zjawiska hazardu statycznego
2. Lista elementów użytych podczas ćwiczenia i ich wartości
3. Zrzuty ekranu z oscyloskopu przedstawiające zjawisko hazardu statycznego oraz sygnału wejściowego
4. Zdjęcie zbudowanego układu elektrycznego

MIŁEJ PRACY I NIE SPALCIE UKŁADÓW! :)